

BIT NUMBER REDUCTION CIRCUIT AND FREQUENCY SYNTHESIZER USING THE SAME

Patent Number: JP6104750
Publication date: 1994-04-15
Inventor(s): KOKUBO MASARU; others: 01
Applicant(s): HITACHI LTD
Requested Patent: JP6104750
Application Number: JP19920250907 19920921
Priority Number(s):
IPC Classification: H03L7/18; H03L7/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the resolution of the oscillation frequency of a frequency synthesizer.

CONSTITUTION: A sawtooth wave circuit 1 which works with a reference signal f_r is provided together with a sawtooth wave circuit 2 which works based on the division number N designated previously and the output of a voltage control oscillator VCO 8, and a digital phase comparator which controls the oscillation frequency of the VCO 8 based on the difference between the output of the circuit 1 and the output of the circuit 2. Furthermore a circuit which controls the oscillation frequency of the VCO 8 consists of a bit number reduction circuit 53 containing a DELTASIGMA type noise shaping circuit, a D/A converter 9, and an LPF 54. In such a constitution, a frequency synthesizer of the high resolution of 100Hz or less can be obtained even with a D/A converter of about 12 bits.

Data supplied from the esp@cenet database - I2

(51)Int.Cl.⁵H 03 L 7/18
7/06

識別記号

庁内整理番号

F I

技術表示箇所

9182-5 J
8730-5 JH 03 L 7/18
7/06Z
B

審査請求 未請求 請求項の数9(全19頁)

(21)出願番号

特願平4-250907

(22)出願日

平成4年(1992)9月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小久保 優

東京都国分寺市東恋ヶ窪1丁目280番地株

式会社日立製作所中央研究所内

(72)発明者 中川 准一

東京都千代田区神田駿河台四丁目6番地株

式会社日立製作所内

(74)代理人 弁理士 薄田 利幸

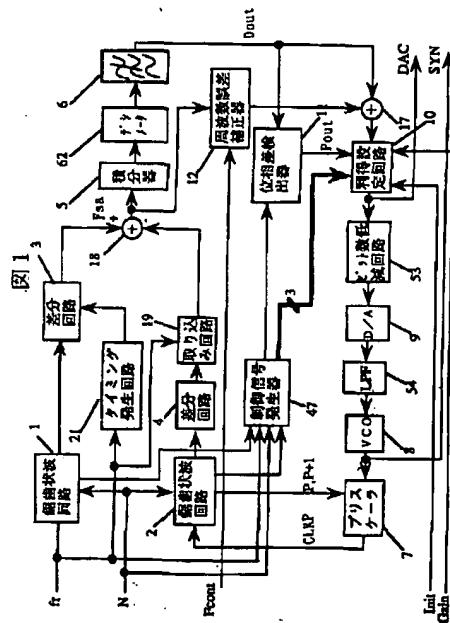
(54)【発明の名称】 ピット数低減回路及びそれを用いた周波数シンセサイザー

(57)【要約】

【目的】周波数シンセサイザーの発振周波数の分解能を高める。

【構成】基準信号 f_r にて動作する鋸歯状波回路1と予め指定された分周数Nと電圧制御発振器(VCO)8の出力により動作する鋸歯状波回路2と鋸歯状波回路1出力と鋸歯状波回路2出力との差分からVCO 8の発振周波数制御を行なうデジタル位相比較を用いた周波数シンセサイザーにおいて、VCO 8の発振周波数制御を行う回路が $\Delta\Sigma$ 型ノイズシェーピング回路によるピット数低減回路5.3とD/A変換器9と低域遮断フィルタ5.4から構成される。

【効果】12ビット程度のピット数のD/A変換器でも100Hz以下の高分解能な周波数シンセサイザーが可能となる。



【特許請求の範囲】

【請求項 1】一定ビット数のデータ語長を持つ入力信号を、上記一定ビット数のデータ語長よりも短いビット数の出力信号に変換するビット数低減回路であって、上記入力信号を量子化する第1の量子化器と、上器第1の量子化器の出力と上記入力信号との差分をとる第1の減算器と、上記第1の減算器の出力を入力とするノイズシェーピング回路と、上記第1の量子化器の出力を遅延させる遅延器と上記遅延器の出力と上記ノイズシェーピング回路の出力との加算をし上記出力信号とする加算器とを有して構成されることを特徴とするビット数低減回路。

【請求項 2】請求項 1 記載のビット数低減回路において、上記ノイズシェーピング回路が上記第1の減算器の出力と第2の量子化器の出力との差分をとる第2の減算器と、上記第2の減算器の出力を積分する第1の積分器と、上記第1の積分器の出力を量子化する上記第2の量子化器から構成されることを特徴としたビット数低減回路。

【請求項 3】請求項 1 記載のビット数低減回路において、上記ノイズシェーピング回路が上記第1の減算器の出力と第2の量子化器の出力との差分をとる第2の減算器と、上記第2の減算器の出力を積分する第1の積分器と、上記第1の積分器の出力から利得器の出力を減算する第3の減算器と、上記第3の減算器の出力を積分する第2の積分器と、上記第2の積分器の出力を量子化する上記第2の量子化器と、上記第2の量子化器の出力に2倍の利得を与える上記利得器とを有して構成されることを特徴としたビット数低減回路。

【請求項 4】一定ビット数のデータ語長を持つ入力信号を、上記一定ビット数のデータ語長よりも短いビット数の出力信号に変換するビット数低減回路であって、上記入力信号に周期的に変化する信号を加算する加算器と、上記加算器の出力を量子化する第1の量子化器と、上器第1の量子化器の出力と上記入力信号との差分をとる第1の減算器と、上記第1の減算器の出力が入力となるノイズシェーピング回路と、上記第1の量子化器出力を遅延させる遅延器と、上記遅延器の出力と上記ノイズシェーピング回路出力との加算をとり上記出力信号とする加算器とを有して構成されることを特徴とするビット数低減回路。

【請求項 5】基準発振器から供給される基準信号に基づいて鋸歯状波を発生する第1の鋸歯状波回路と、予め指定された分周数と電圧制御発振器の出力にもとづいて鋸歯状波を発生する第2の鋸歯状波回路と、上記第1の鋸歯状波回路の出力と上記第2の鋸歯状波回路の出力から上記第1及び第2の鋸歯状波回路の鋸歯状波の位相差を検出するディジタル位相比較回路と、上記ディジタル位相比較回路の出力によって上記電圧制御発振器の発振周波数制御を行う回路を持ち、上記基準信号と上記分周数との積に比例した発振周波数で発振する周波数シンセ

サイザーにおいて、上記電圧制御発振器の発振周波数制御を行う回路が、上記請求項 1 又は 4 のビット数低減回路と、上記ビット数低減回路の出力をアナログ信号に変換するD/A変換器と、上記D/A変換器の出力を入力とする低域遮断フィルタとを有して構成されることを特徴とする周波数シンセサイザー。

【請求項 6】上記第1の鋸歯状波回路、上記第2の鋸歯状波回路、上記ディジタル位相比較回路及び上記ビット数低減回路の一部もしくは全部をディジタル信号処理装置を共用化して信号処理を行うことを特徴とする周波数シンセサイザー。

【請求項 7】請求項 5 記載の周波数シンセサイザーにおいて、更に、上記分周数をアドレスとし上記電圧制御発振器の収束時の上記ビット数低減回路の入力値を記憶し、新たに設定する上記電圧制御発振器の発振周波数を初期値として出力する記憶回路を付加して構成されたことを特徴とする周波数シンセサイザー。

【請求項 8】請求項 5 記載の周波数シンセサイザーにおいて、更に、上記分周数をアドレスとし上記電圧制御発振器の収束時の上記ビット数低減回路の入力値を記憶する記憶回路と、新たに設定する分周数によって、上記記憶回路から読みだされた上記ビット数低減回路の入力値から上記電圧制御発振器の制御信号を演算し上記電圧制御発振器の初期値とする演算装置とを付加して構成されたことを特徴とする周波数シンセサイザー。

【請求項 9】請求項 5、6、7 又は 8 記載の周波数シンセサイザーと、上記周波数シンセサイザーからの発振周波数の信号が加えられる復調器及び変調器を持つ伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビット数低減回路及びそれを用いた周波数シンセサイザー、更に詳しく言えば、一定ビット数のデータ語長を持つ入力信号を上記一定ビット数のデータ語長よりも短いビット数の出力信号に変換するビット数低減回路及び位同期ループに上記ビット数低減回路を用いたディジタル位相比較型周波数シンセサイザーに関する。

【0002】

【従来の技術】周波数シンセサイザーは各種のものが知られており、特に集積回路の発達により位同期ループを用いた周波数シンセサイザーが良く用いられる。多数の通信チャネルを有する移動通信装置では、電圧制御発振器 (VCO)、可変分周器、水晶発振器を用いて位同期ループ (PLL) を構成し、可変分周器の分周数を選択して必要な通信チャネル周波数を発生させる周波数シンセサイザーを用いている。PLLはVCOの出力信号を可変分周器で分周した信号の位相と水晶発振器出力信号から生成した基準信号の位相とを位相比較器で比較し、アナログ値の比較結果をフィルタで積分した後、V

COの周波数制御端子に印加する一連の帰還ループを持つ構成となっている。この位相比較結果には高周波成分が含まれるので、これらの成分を除くために上記フィルタの積分時定数を大きくする必要があり、このため、可変分周器の分周数を変更して通信チャネル周波数を切替える場合、上記フィルタを構成するコンデンサの充放電に時間を要するため、高速に周波数を切替えることができないという問題がある。

【0003】この問題は、位相比較出力をアナログ値で出力することに起因するので、これを解消する周波数シンセサイザーが提案された（参考文献：梶原、中川“高速周波数ホッピングが可能なPLLシンセサイザー”、電子情報通信学会論文誌B-2、Vol. J73-B-2、No. 2、pp 95-102、1990年2月）。この提案の周波数シンセサイザーは位相比較そのものを数値演算により行い、比較結果に含まれる高周波成分を単純な演算によって除去する構成であり、積分時定数の大きなフィルタを不要と/orすることができ、周波数切替え時間の短縮が図れる。

【0004】この数値位相比較直流化周波数シンセサイザーの動作原理を簡単に説明する。まず、位相比較器の一方の入力には基準信号の位相に同期して周期T/K（Kは任意の整数）毎にM/Kずつ増加し、周期T毎にリセットされるピーク値Mの鋸歯状波が入力され、位相比較器の他方の入力にはVCOの出力信号を分周数P（Pは任意の整数）のカウンタにより分周し、カウンタ出力に同期して周波数シンセサイザーの出力周波数毎に予め定められた数値Bずつ増加し、カウンタ出力がMを越えた場合、カウンタ出力からMを減ずる構成の鋸歯状波が入力される。上記位相比較器は、上記2つの鋸歯状波の差分を取り、上記2つの鋸歯状波の位相差を出力する。上記2つの鋸歯状波のピーク値となる位相がずれていると位相比較器出力に周期Tの振幅±Mの飛びが発生する。従って、位相補正器においてこの飛びを吸収し、位相比較器出力を直流化する。この直流化された位相比較値をD/A変換器にてアナログ値に変換したのち、VCOの周波数制御端子に印加する。この時のVCOの発振周波数f_vは、(1)式にて表せる。

$$f_v = (M \times P) \div (B \times T) \quad \dots (1)$$

このように位相比較を数値にて行えるので、前述したフィルタが不要となり、高速の周波数切替えが可能となる。

【0005】

【発明が解決しようとする課題】D/A変換器を用いてVCOを制御する場合、D/A変換器の分解能が周波数シンセサイザーの周波数設定精度を決める要素となる。例えば、VCOの周波数の可変制御範囲が40MHzである場合、100Hz以下の設定精度を得ようすると、D/A変換器に必要なビット数は19ビット以上となる。移動体通信装置では小型化、低消費電力化が重要

な課題であるため、周波数シンセサイザーを半導体基板上に集積化することが求められている。しかし、19ビット以上のD/A変換器は半導体における素子精度の限界から実現が困難であるため、従来はD/A変換するビット数を適宜分割し、例えば、12ビットのD/A変換器と7ビットのD/A変換器にわけ、各々のD/A変換器の出力を加算することによって個々のD/A変換器のビット数を小さくする方法がとられている。しかし加算するため、量子化レベルに不連続性が発生し、周波数シンセサイザーに使用した場合、希望する周波数設定精度が得られない。従って本発明では、半導体基板上に集積化しやすく、高速に周波数が切り替えられかつ周波数設定精度が高い周波数シンセサイザーを実現することである。本発明の他の目的は上記周波数シンセサイザー実現に有効な一定ビット数のデータ語長を持つ入力信号を、上記一定ビット数のデータ語長よりも短いビット数の信号に変換するビット数低減回路を実現することである。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明は、一定ビット数のデータ語長を持つ入力信号を、上記一定ビット数のデータ語長よりも短いビット数の信号に変換するビット数低減回路を、上記入力信号を量子化する第1の量子化器と、上記第1の量子化器の出力と上記入力信号との差分を入力とするノイズシェーピング回路と、上記第1の量子化器出力を遅延させる遅延器と上記遅延器の出力と上記ノイズシェーピング回路の出力との加算をする加算器から構成する。即ち、第1の量子化器を用いて有効ビット数の低減を行い、上記第1の量子化器の出力と入力信号との差分を、上記ノイズシェーピング回路に入力し、第2の量子化器によって第1の量子化器と同じビット数に変換したのち、第1の量子化器の出力を上記ノイズシェーピング回路によって補正し、ビット数を削減する方式を用いている。

【0007】更に本発明の周波数シンセサイザーは、基準発振器から供給される基準信号に基づいて鋸歯状波を発生する第1の鋸歯状波回路と、予め指定された分周数Nと電圧制御発振器の出力にもとづいて鋸歯状波を発生する第2の鋸歯状波回路と、上記第1の鋸歯状波回路の出力と上記第2の鋸歯状波回路の出力との差分から上記電圧制御発振器の発振周波数制御を行い、上記基準信号と上記分周数Nとの積に比例した発振周波数にて発振する、いわゆるディジタル位相比較回路を用いた周波数シンセサイザーにおいて、上記電圧制御発振器の発振周波数制御を行う回路が、上記ビット数低減回路と、上記ビット数低減回路の出力をアナログ信号に変換するD/A変換器と上記D/A変換器の出力を入力とする低域遮断フィルタから構成される。

【0008】

【作用】ビット数低減回路の入力をx、第1の量子化器の出力をy、ノイズシェーピング回路出力をe、ビット

数低減回路出力をDAと定義する。第1の量子化器において、入力信号xは下位ビットが削減される。この時の*

$$b = x - y$$

bはノイズシェーピング回路に入力される。ノイズシェーピング回路の伝達関数は(3)式で表せる。ここで、
Nqはノイズシェーピング回路の中にある第2の量子化※

$$e = b z^{-i} + (1 - z^{-i})^i N q \quad \dots (3)$$

iはノイズシェーピング回路の次数を表し、1次の場合はi=1、2次の場合はi=2となる。これは回路構成においては積分器の数に対応する。第1の量子化器の出力yとeとの遅延量を一致させるため、yにノイズシェーピング回路の次数に相当する遅延量を与える。★

$$DA = y z^{-i} + e \quad \dots (4)$$

$$= x z^{-i} + (1 - z^{-i})^i N q$$

(4)式からビット数低減回路出力DAは、入力xが遅延した値と第2の量子化器にて発生する量子化雑音(Nq)にノイズシェーピングされた周波数特性が乗せられた量子化雑音が加わった信号となる。次にDAをアナログ信号に変換した信号を所望の低域遮断特性と有する低域遮断フィルタによって、上記量子化雑音が抑圧できるので、所望の周波数帯域において、実効的に量子化雑音が低減された回路を作成できる。ここでノイズシェーピングされた周波数特性が乗せられた量子化雑音はサンプル周波数の2分の1の周波数に頂点を持つように分布される。

【0010】なお、ノイズシェーピング効果をD/A変換器に利用した技術に関する文献として、ヤスユキ マツヤ著「ア 17ビット オーバーサンプリング D/Aコンバージョン テクノロジー ユージング マルチステージ ノイズ シェーピング、アイ イー イー ジャーナル オブ ソリッド-ステイト サーキット、第24巻4号八月1989年 (Yasuyuki Matsuya, "A 17-bit Oversampling D-to-AConversion Technology Using Multistage Noise Shaping", IEEE Journal of Solid-State Circuit, vol. 24, No.4, Aug. 1989) やクニハラ ウチムラ著「オーバーサンプリング D/A アンド D/A コンバータズ ウイズ マルチステージノイズ シェーピング モデュレータ アイ イー イー イー トランズアクション オン アコウスティックス、スピーチ アンド シグナル プロセッシング 第36巻12号 12月 1899年 (Kuniharu Uchimura, "Oversampling A-to-D and D-to-A Converters with Multistage Noise Shaping Modulators", IEEE Transaction on Acoustics, Speech, and Signal Processing, Vol. 36, No.12, Dec. 1899) が有る。従って、上記構成のノイズシェーピング効果を利用したビット数低減回路に

*誤差(b)は、(2)式で表せる。

… (2)

※器の量子化雑音を示す。

【数3】

★【0009】遅延したyとノイズシェーピング回路出力eとが加算されるので、ビット数低減回路出力DAは(4)式として表される。

【数4】

よって19ビット以上の細かい分解能の周波数データを少ないビット数のデジタル信号に変換し、その信号をD/A変換したのち低域遮断フィルタを用いれば、ノイズシェーピングによって高周波数領域に変換された量子化雑音を上記低域遮断フィルタによって抑圧することにより、少ないビット数のD/A変換器を用いても、実効的に分解能が高くなった周波数シンセサイザーが実現できる。

【0011】

【実施例】以下、図面を用いて本発明の実施例を説明する。図1は、本発明による周波数シンセサイザーの一実施例の構成を示すブロック図である。周波数シンセサイザーは、基準信号fr、分周数N、周波数補正器制御信号F cont、初期値Init及び利得切替え信号Gainが入力され、所定の発振周波数の信号SYNが出力される。本実施例は、基準信号frから鋸歯状波を発生する第1の鋸歯状波回路1、プリスケーラ7の出力から鋸歯状波を発生する第2の鋸歯状波回路2、鋸歯状波回路1の出力の一定時間における差分を取る第1の差分回路3、鋸歯状波回路2の出力の一定時間における差分を取る第2の差分回路4、差分回路4の出力を基準信号frにて同期化する取り込み回路19、差分回路3から取り込み回路19の出力を減算する減算器18、減算器18の出力Fsaを積分する積分器5、積分器5の出力のサンプル周期を低減するデシメータ62、積分器5の出力を帯域制限するデジタルフィルタ6、減算器18の出力Fsaから周波数誤差補正信号を発生する周波数補正器12、周波数補正器12の出力をデジタルフィルタ6の出力Doutに加算する加算器17、デジタルフィルタ6の出力Doutから2つの鋸歯状波回路1及び2の出力間の初期位相差を検出する位相差検出器11、加算器17の出力DAGCと位相差検出器11の出

7

力と外部から与えられる初期値 $I_{n i t}$ および制御信号発生器 47 の制御信号から初期値の設定とループ利得の変更を行う利得設定回路 10、利得設定回路 10 の出力 DAC の有効ビットを数を低減するビット数低減回路 53、ビット数低減回路 53 によって有効ビット数を低減された信号をアナログ信号に変換する D/A 変換器 9、 D/A 変換器 9 の出力に含まれる高周波雑音を抑圧するローパスフィルタ (LPF) 54、LPF 54 の出力で周波数制御される電圧制御発振器 (VCO) 8、基準信号 f_r を分周し周波数シンセサイザーの動作クロックを供給するするタイミング発生回路 21 及び VCO 8 の出力を P 又は $P + 1$ の分周比にて分周するプリスケーラ 7、基準信号 f_r と外部から与えられる分周数 N と上記鋸歯状波回路 1、2 のそれぞれのピーク信号から制御信号を発生する制御信号発生器 47 とから構成される。

【0012】次に本実施例の動作を説明する。ここでは説明上、

基準信号 $f_r = 12.8 \text{ MHz}$

プリスケーラ分周比 $P = 128$

分周数 $N = 38000$

の場合について述べるが、これらのパラメータは上記数値に限定されず、任意の数値で動作可能である。鋸歯状波回路 1 において、基準信号 f_r を分周数 R_1 で分周したクロック $CLK_R 1$ の立上り毎に外部から与えられる分周数 N と等しい増加率の鋸歯状波を生成する。鋸歯状波回路 1 の出力は、差分回路 3 において一つ前のタイミングでの鋸歯状波回路 1 の出力との差分が取られる。従って、差分回路 3 の出力はクロック $CLK_R 1$ 每に一定値である N となる。ここで鋸歯状波回路 1 及び 2 の最大値 M は (5) 式にて与えられる。

$$M = N \times R_2 \quad \dots (5)$$

また、各々の鋸歯状波の周期 T は (6) 式にて表せる。

$$T = R_1 \times R_2 \div f_r \quad \dots (6)$$

(5) 式及び (6) 式において、分周数 R_1 及び R_2 は任意の整数である。

【0013】ここで、差分回路 3 の動作を行う場合、鋸歯状波回路 1 が最大値 M を越えた次のタイミングで、差分回路 3 の出力に $N - M$ の値が発生するが、本実施例では、このタイミングのみ、 $M = 0$ として、一定値 N が出力されるように構成した。これにより、位相比較結果に含まれる $\pm M$ の飛びを防ぐことができる。鋸歯状波回路 2 及び差分回路 4 においても、鋸歯状波回路 1 と差分回路 3 とによる動作と同様に、プリスケーラ 7 出力 CLK_P の立上り毎にプリスケーラのモジュラス信号 (MOD) である P 又は $P + 1$ が出力される。差分回路 4 の出力は基準信号 f_r に対して、非同期な信号であるため、取り込み回路 19 において、以下に説明する同期非同期変換を行う。

【0014】図 2 は、図 1 の取り込み回路 19 の構成を示すブロック図、図 3 は取り込み回路 19 の動作説明の

10

8

ためのタイミングチャートを示す。取り込み回路 19 は、プリスケーラ 7 の出力 CLK_P の立上りエッジ信号 CK_2E によってセットされるフリップフロップ 22、フリップフロップ 22 の出力を基準信号 f_r の立上りエッジ信号 CK_1RE で Q 出力に出力するレジスタ 23、エッジ信号 CK_1RE を一定の遅延時間遅延させる遅延回路 25、遅延回路 25 の出力 $CK_1R-De1ay$ とレジスタ 23 の出力 (b) との論理積を取る AND 回路 24、モジュラス信号 MOD を CK_2E のタイミングで取り込むレジスタ 28、レジスタ 28 の出力を AND 回路 24 の出力 (c) で取り込むレジスタ 29、レジスタ 29 の出力 $SYMOD$ とレジスタ 23 の出力との論理積を取る AND 回路 27 から構成される。取り込み回路 19 の出力は AND 回路 27 が最上位ビット、レジスタ 23 の Q 出力が最下位ビット、その他のビットはすべて固定値 L である。

【0015】図 3 のタイミングチャートには、取り込み回路 19 の入力信号である CK_1RE 、 CK_2E 、 MOD 、内部信号である $CK_1R-De1ay$ 、 $SYMOD$ 、(a)、(b)、(c) 及び出力信号 $b_0 \sim b_7$ を示す。また、信号位置を比較するため、基準信号 f_r とプリスケーラ 7 の出力 CLK_P も同時に示した。 CK_1RE は基準信号 f_r の立上りエッジに同期した信号、 CK_2E は CLK_P の立上りエッジに同期した信号、 $CK_1R-De1ay$ は CK_2E を一定時間遅延させた信号である。上記一定時間遅延はレジスタ 22 の遅延時間より大きければ問題ない。また、モジュラス信号 MOD はプリスケーラ 7 の出力 CLK_P に同期して変化し、MOD が「L」の場合プリスケーラ 7 の分周数が P 、「H」の場合プリスケーラ 7 の分周数が $P + 1$ であることを表す。

【0016】 CK_2E の立上りタイミングにて、フリップフロップ 22 の出力 Q は「H」となる。フリップフロップ 22 の出力 Q が接続されているレジスタ 23 の取り込みクロック CK_1RE は f_r に同期した信号であるから、本実施例では 12.8 MHz 毎にフリップフロップ 22 の Q 出力 (a) を取り込み、レジスタ 23 の Q 出力に出力 (b) する。フリップフロップ 22 の出力 (a) が「H」のとき、 CK_1RE の立上りエッジが発生した場合、レジスタ 23 の Q 出力 (b) は「H」となる。次に、レジスタ 23 の Q 出力 (b) が「H」のとき、AND 回路 24 の出力 (c) は遅延信号 $CK_1R-De1ay$ が出力されるので、フリップフロップ 22 の Q 出力 (a) はリセットされ、「L」となる。

【0017】また、フリップフロップ 22 の出力 (a) が「L」のとき CK_1RE の立上りエッジが発生した場合、レジスタ 23 の Q 出力 (b) は「L」となり、AND 回路 24 の出力 (c) 及びフリップフロップ 22 の Q 出力 (a) は「L」を保持する。フリップフロップ 22 の出力が「L」のとき CK_1RE の立上りエッジが発生

する条件は、CK1REの前回の立上りエッジから今回の立上りエッジまでの間に、CLKPの立上りエッジが発生しなかったときである。上記取り込み回路19の動作は、CK1REの前回の立上りエッジから今回の立上りエッジまでの間に、CLKPの立上りエッジが発生しなかったときレジスタ23のQ出力は「L」となり、CLKPの立上りエッジが発生したときレジスタ23のQ出力は「H」となる。この結果、基準信号frに対して非同期であるCLKPを同期信号に変換する。

【0018】一方、MODもCLKPに同期しているので基準信号frに対して非同期である。そのため、MODもレジスタ28とレジスタ29を用いてfrに同期した信号に変換する。まず、MODをレジスタ28に入力し、プリスケーラ7の出力CLKPによって取り込む。これはプリスケーラ7の分周数がプリスケーラ7の出力CLKPの立上りエッジ以前のMODにて指定されているので、遅延時間を一致させるためである。次に、レジスタ28のQ出力をレジスタ29において、AND回路24の出力タイミングにおいて取り込む。AND回路24の出力(c)はCK1REの前回の立上りエッジから今回の立上りエッジまでの間にCLKPの立上りエッジが発生したときに「H」が出力される信号なので、frに同期したMOD信号であるSYMODを得ることができる。

10 20

* 【0019】最後に、プリスケーラ7の出力及びMODを基準信号frに同期した信号を用いて、取り込み回路19の出力をAND回路27によって生成する。本実施例のようにプリスケーラ7の分周数Pを128とした場合、P及びP+1を2進数によって表すと、Pはb₇のみ「H」、P+1はb₇とb₆の2つのビットが「H」となり、その他のb₅～b₀は常に「L」である。従って、取り込み回路19の出力はCK1REの前回の立上りエッジから今回の立上りエッジまでの間に、CLKPの立上りエッジが発生しなかったとき0、CLKPの立上りエッジが発生し、しかも、SYMODが「H」のときP+1、SYMODが「L」のときPとなる。

【0020】次に、図1に戻り、取り込み回路19の出力は減算器18に入力され、差分回路3の出力との差分が演算される。減算器18出力は鋸歯状波回路1及び2の2つの鋸歯状波の傾きの差である。つまり、減算器18出力を微分すれば基準信号frとの周波数偏差に比例する値が得られる。次に、減算器18の出力Fsaは、積分器5と周波数誤差補正器12に入力される。まず、積分器5に入力される信号について説明する。積分器5の機能は周波数誤差成分を積分するので、積分器5の出力は上記2つの鋸歯状波間の位相差成分を出力する。積分器5の伝達関数を(7)式で表す。

【数7】

$$T(z) = \frac{z}{1-z} \quad \dots \quad (7)$$

【0021】積分器5の出力はデシメータ62に入力され、※ルタであり、サンプルレート低減を行う。デシメータ62は(8)式に示す伝達関数のフィルタである。【数8】

$$S(z) = \sum_{i=1}^{R_1} z^{-i} \quad \dots \quad (8)$$

【0022】デシメータ62の出力はデジタルフィルタ6に入力される。デジタルフィルタ6は、積分器5の出力である位相差成分の帯域制限するためのものであり、構成は特に限定されることはないが、シンセサイザーの出力信号SYNに含まれる位相ジッタ成分と周波数★

★シンセサイザー収束速度の関係から最適な構成を選ぶ必要がある。本実施例では、実現が容易な移動平均を採用した。(9)式に伝達関数を示す。移動平均を取る範囲は鋸歯状波回路1及び2の周期Tを選んだ。

【数9】

$$U(z) = \sum_{i=1}^{R_2} z^{-i} \quad \dots \quad (9)$$

ここで、R₂は(10)式にて表される。

★ ★ 【数10】

$$R_2 = \frac{T}{f_r \times R_1} \quad \dots \quad (10)$$

デジタルフィルタ6の出力Doutは、加算器17で周波数補正器12の出力と加算され、利得設定回路10に入力される。

【0023】図4は、図1の周波数誤差補正器12の構成を示すブロック図及びその動作を説明するためのタイ

ミングチャートを示す。減算器18の出力Fsaの分岐された他の一方が周波数誤差補正器12に入力される。周波数誤差補正器12は、減算器18の出力Fsaを積算する加算器30とレジスタ31、レジスタ32のQ出力を取り込むレジスタ32、レジスタ32のQ出力が入

力され、レジスタ32のQ出力との乗算係数を選択する比較器26、比較器26の出力により所望の係数を選択するセレクタ34、セレクタ34の出力とレジスタ32のQ出力との乗算を行う乗算器33及び乗算器33出力を積分する加算器44とレジスタ45から構成される。図4に示す4つの動作クロックReset、CK1、CK2、CK3は、図1の図面では省略しているが、すべてタイミング発生回路21から供給される信号である。また、制御信号Contは周波数補正器12の動作を制御するために外部から入力される信号である。

【0024】以下に、周波数誤差補正回路12の動作を説明する。周波数誤差補正回路12の入力信号Fsaとレジスタ31のQ出力は、加算器30で加算される。加算器30の出力は再びレジスタ31にCK1のタイミングで取り込まれる。レジスタ31はResetによってリセットされるので、Resetクロックの間に含まれるCK1の回数の加算が行われる。また、レジスタ31がリセットされるよりも早いタイミングCK2において、レジスタ31のQ出力はレジスタ32に取り込まれる。従って、レジスタ31には一定期間の周波数誤差成分に比例した数値が蓄えられる。一定期間は特に制限されるものではないが、ここでは上記鋸歯状波の周期Tと一致する期間を選び加算回数は(10)式にて表されるR₂とした。

【0025】レジスタ32のQ出力は乗算器33に入力されるとともに、比較器26に入力される。周波数誤差 Δf とレジスタ32の値Xとの関係を(11)式に示す。

【数11】

$$\Delta f = \frac{X}{T \times R_1 \times R_2} \quad \dots \quad (11)$$

比較器26は周波数誤差 Δf の大きさに応じて、補正值の加算率が可変な構成とした。本実験例においては、周波数誤差 Δf が $\pm 300 \text{ kHz}$ と $\pm 150 \text{ kHz}$ を閾値とした例を示す。(11)式を用いて、比較する数値は ± 24576 、 ± 12288 である。比較器26はこれらの数値を2進数にて表現し、上位8ビットのみ比較するように構成した。

【0026】図5は、図4の比較器26の真理値表を示す。 $X < -24576$ 、 $X > +24576$ のとき、係数aが選択される。 $-24576 < X < -12288$ 及び $12288 < X < 24576$ のとき、係数bが選択される。 $12288 < X < 24576$ のとき、係数cが選択される。選択される係数の値は実現する収束速度によって異なるもので、特に制限するものではない。比較器26より選択信号が出力され、セレクタ34によって選択された係数が選ばれ、乗算器33の一方の入力となる。

乗算器33出力は、加算器44に入力される。加算器44とレジスタ45は、積分器を構成し、周波数補正値を

記憶する。また、制御信号Contによってレジスタ45はリセットされる。周波数誤差補正器12の出力Foutは加算器17において、ディジタルフィルタ6の出力と加算され、利得設定回路10に入力される。

【0027】図6は、図1の鋸歯状波回路1の出力と鋸歯状波回路2の出力との位相差検出手順を示す。同図において、鋸歯状波回路1のピークタイミングを示すクロックK_{1,1}、鋸歯状波回路2のピークタイミングを示すクロックK_{1,2}、外部から与えられる分周数N、鋸歯状波回路2内部の分周数N_x、D/A変換器9の入力、位相差検出信号Pcont、位相差検出器出力Pout、分周数切替え信号Ncont及びディジタルフィルタ6の出力Doutを示す。

【0028】鋸歯状波回路2のピークタイミングを示すクロックK_{1,2}の周期は、鋸歯状波回路1のピークタイミングを示すクロックK_{1,1}の周期Tとほぼ等しいが、非同期な信号である。そのため、図6に示すように外部から与えられる分周数NがN0からN1に変更された場合、鋸歯状波の途中にて鋸歯状波の傾きが変更となり、不連続な動作となる問題がある。そのため、分周数が切り替わった次のクロックK_{1,2}にて分周数切替え信号Ncontを発生し、鋸歯状波回路2の内部の分周数N_xを更新する。この更新タイミングと同時に、D/A変換器9の入力を外部から与えられる初期値Initに変更し、また、位相差検出器11出力Poutをリセットする。この状態からK_{1,1}の2クロックの後に位相差検出信号Pcontを発生する。この間のD/A変換器9の入力は、上記初期値Initに固定される。このようにすれば最低1周期の鋸歯状波の間、位相差検出が可能となる。2つの鋸歯状波間の位相差はK_{1,1}に同期してディジタルフィルタ6から出力されるので、位相差検出器11においてその値を位相差検出信号Pcontにて保持する。したがって、ディジタルフィルタ6出力Doutを外部から与えられる分周数Nが変更となった点からP(0)、P(1)、P(2)…とした場合、位相差検出器11にはP(2)が蓄えられる。この位相差検出器11出力Poutを用いてD/A変換器9の入力の補正を行う。利得設定回路10にて補正をもとめる。

【0029】図7は、図1の利得設定回路10の構成を示すブロック図で、図8は利得設定回路10のループ利得設定の動作説明のためのタイムチャートである。利得設定回路10は、位相差検出器11の出力Poutによって初期値Initを補正した値を設定する機能と外部から与えられる利得制御信号Gainによってループ利得を変更する機能の2つの機能を持つ。

【0030】利得設定回路10は、利得制御信号Gainによって指定される利得を指定する利得指定回路35、利得設定回路10の入力信号DAGCと利得指定回路35との積を取る乗算器38、上記乗算器38出力と補正値記憶回路36出力とを加算する加算器39、乗算

器3 8の出力と定数 β とを乗算す乗算器3 7、乗算器3 7の出力と補正値記憶器3 6の出力との加算をする加算器4 0、位相差検出器1 1の出力 P_{out} と利得指定回路3 5出力との積を取る乗算器4 6、外部から与えられる初期値 I_{init} と乗算器4 6の出力との差分を取る減算器4 1、減算器4 1の出力と加算器4 0出力との切替えを行なうセレクタ4 2、セレクタ4 2出力を保存する補正値記憶回路3 6、利得制御信号 $Gain$ 及び位相補正制御信号 P_{get} 及び分周数切替え信号 N_{cont} から補正値記憶回路3 6の入力を取り込むタイミングを発生するOR回路4 3から構成される。

【0031】以下、図8のタイムチャートを用いて利得設定回路1 0の動作を説明する。利得制御信号 $Gain$ は、ループ利得を切替えるタイミングを示す信号である。利得制御信号 $Gain$ は利得指定回路3 5に入力され、利得制御信号の立上がりエッジにおいて、予め定められた利得切替え幅 α にしたがって利得設定回路1 0の出力を更新する。利得切替え幅 α は特に定められることはないが、本実施例では $\alpha=0.5$ の場合を示す。

【0032】まず、分周数切替え信号 N_{cont} によって、利得指定回路3 5はリセットされ、出力は0となるので、乗算器3 8の出力も0となる。また、外部から与えられた初期値 I_{init} は、上記分周数切替え信号 N_{cont} のタイミングにおいて位相差検出器1 1の出力 P_{out} が0及び位相/利得切替え信号 P_{cont} が「H」であるので、加算器4 1及びセレクタ4 2を介して補正値記憶回路3 6に入力される。ここで、セレクタ4 2のY出力はS入力が「H」のときB入力が選択され、S入力がLのときA入力が選択されと仮定する。以上の動作により、利得設定回路1 0の出力は外部から与えられた初期値 I_{init} となる。この時の補正値記憶回路3 6の値 $H_{0,0}$ は(1 2)式である。

$$H_{0,0} = I_{init} \quad \dots (1 2)$$

【0033】次に、位相差検出が終了し、位相差検出信号 P_{cont} が発生する。位相差検出信号 P_{cont} は位相差検出完了を示すタイミングである。また、この位相差が確定するタイミングと同時に、利得指定回路3 5の出力を予め定められた値に変更する。この値は収束速度に依存した値であるので、特に指定されることはないが、本実施例においては簡単のため、1とする。次に、位相差検出器1 1出力 P_{out} に利得指定回路3 5との積を乗算器4 6にて演算する。乗算器4 6の出力と前記*

$$G = DAGC(1) \times \alpha$$

また、利得切替前の帰還信号 $D_{0,0}$ は(1 5)式にて※※表される。

$$D_{0,0} = H_{0,0} \cdot (1) + DAGC(0) \quad \dots (1 5)$$

このとき、上記補正値 $H_{0,0}$ は、乗算器3 7と加算器4 0による演算により、(1 6)式のように変化し、新★

$$H_{0,0} \cdot (2) = H_{0,0} \cdot (1) + (1 - \alpha) \times DAGC(0) \quad \dots (1 6)$$

【0037】次に、(1 4)式に示す利得切替後のGと(1 6)式に示す利得切替後の補正値 $H_{0,0}$ が加算器3 9により加算され、(1 7)式に示すように利得切替後の帰還信号 $D_{0,0}$ となる。

* 初期値 I_{init} との減算を減算器4 1にて演算される。減算器4 1の出力は、セレクタ4 2を介して補正値記憶回路3 6に入力され、位相差検出信号 P_{cont} に遅延を与えた位相補正制御信号 P_{get} によって、補正値記憶回路3 6に保持される。

【0034】以上の結果、補正値記憶回路3 6の値 $H_{0,0}$ には初期値 I_{init} から位相差検出器1 1の出力 P_{out} が減ぜられた値が保持され、(1 3)式で表される。

$$H_{0,0} \cdot (1) = I_{init} - P_{out} \quad \dots (1 3)$$

一方、鋸歯状波回路1と鋸歯状波回路2の2つの鋸歯状波の位相差は急激に変動しないので、次のサンプルの入力 $DAGC$ は、補正値記憶回路3 6の値を加算器3 9にて加算されることにより、上記位相差値が相殺され、外部から設定された初期値 I_{init} を基準として、収束動作が開始される。

【0035】次に、第1回目の利得切替えについて説明する。まず、位相/利得切替え信号 P_{cont} が「H」から「L」に変化して、A入力がセレクタ4 2のY出力に選択される。位相/利得切替え信号 P_{cont} が切り替わるタイミングは位相差検出結果を補正値記憶回路に記憶する位相補正制御信号 P_{get} 以後のタイミングならば問題ない。次に、乗算器3 8の出力は定数 β との乗算を乗算器3 7にて演算される。上記定数 $\beta = 1 - \alpha$ である。本実施例では $\alpha = 0.5$ のときについて説明するので、ここでは $\beta = 0.5$ である。乗算器3 7出力は、加算器4 0において、補正値記憶回路3 6の出力と加算される。利得制御信号が入力されると、その立ち上がりエッジにて上記セレクタ4 2出力が補正値記憶回路3 6に取り込まれるとともに、利得指定回路3 5の出力が α 倍に更新される。更新された利得指定回路3 5出力と利得指定回路1 0の入力との乗算が乗算器3 8にて演算される。乗算器3 8の出力は補正値記憶回路3 6の出力と加算され、D/A変換器に入力される。

【0036】以上に述べた動作の過程を以下の式を用いて説明する。利得切替前の上記2つの鋸歯状波を比較した結果を $DAGC(0)$ 、利得切替後の上記2つの鋸歯状波を比較した結果を $DAGC(1)$ 、また利得切替前の初期値を補正した値を $H_{0,0} \cdot (1)$ 、利得切替後の補正値を $H_{0,0} \cdot (2)$ とする。このときの乗算器3 8の出力Gは利得指定回路1 0の入力 $DAGC(0)$ を用いて表すと(1 4)式となる。

$$\dots (1 4)$$

$$\begin{aligned}
 D_{11}(1) &= G + H_{11}(2) \\
 &= H_{11}(1) + D A G C(0) \\
 &\quad + \alpha \times (D A G C(0) - D A G C(1)) \\
 &= D_{11}(0) + \alpha \times (D A G C(0) - D A G C(1)) \cdots (17)
 \end{aligned}$$

【0038】従って、 $D_{11}(1)$ 以降の帰還信号は、(17)式に示すように利得変更前の値との連続性を保ち、しかも、帰還時の利得が α 倍とすることが可能となる。2回め以降の利得切替えも同様に行われ、利得変更前の値との連続性を保つことができる。従って、図8に示すように利得が $1, \alpha, \alpha^2, \alpha^3, \dots$ という形で変更することができる。

【0039】図9は図1のビット数低減回路53の実施例の構成を示すブロック図である。ビット数低減回路53はループ利得を設定された利得設定回路10の出力の有効精度を維持しつつ、ビット数低減を行うものである。図9のビット数低減回路は、1次 $\Delta\Sigma$ オーバーサンプルを用いたノイズシェーピング回路を用いた回路であり、利得設定回路10の出力DACに周期的な変動波形(ディザ)Qnを加算する加算器65、加算器65の出力が入力され、予め定められた下位ビットを削減する第1の量子化器55、量子化器55の出力に所定の遅延量を遅延させる遅延器56、上記利得設定回路10の出力DACから量子化器55出力を減算する減算器57、減算器57の出力bから第2の量子化器61の出力を減算する減算器59、減算器59の出力を積分する積分器60、積分器60出力を量子化する第2の量子化器61、量子化器61の出力eと遅延器56と加算する加算器58から構成される。

【0040】次に、ビット数低減回路53の動作説明を行う。ここで、ビット数低減器53の動作速度は、特に30指定されないが、鋸歯状波回路1又は2の鋸歯状波の周*

$$e = b z^{-1} + (1 - z^{-1}) Nq \cdots (18)$$

ここで、 Nq は量子化器61が発生する量子化雑音、 z^{-1} はサンプル周期を表す。

【0042】一方、第1の量子化器55の出力yは遅延器56によって上記サンプル周期に相当する遅延が与え※

$$\begin{aligned}
 DA &= y z^{-1} + e^{-1} \\
 &= x z^{-1} + (1 - z^{-1}) Nq \cdots (19)
 \end{aligned}$$

量子化器61が発生する量子化雑音 Nq は、上記サンプル周期の2分の1の帯域に一様に分布する。ビット数低減回路5の3出力は、D/A変換器9によりアナログ信号に変換される。D/A変換器9出力はローパスフィルタ54に入力される。従って、(19)式に示すように $(1 - z^{-1})$ の周波数特性により高周波領域にノイズシェーピングされるため、サンプル周期よりも十分低い遅延周波数を持つローパスフィルタ54によって上記高周波雑音成分を抑圧することができる。

【0043】図10は、図1のビット数低減回路53の他の実施例の構成を示すブロック図である。本実施例は2次 $\Delta\Sigma$ オーバーサンプルを用いた回路である。2次 $\Delta\Sigma$

*期よりも十分短い周期、 $f_r/4$ とした。上記周期的な変動波形Qnはディザと呼ばれ、ノイズシェーピング効果を高める役割をする。ディザは必要に応じて加算するので、これを用いない場合でも問題ない。ディザの大きさは、信号成分に影響を与えない値なら差し支えないが、ここでは量子化器55の切り捨てられるビット数の4分の1とする。次に加算器65の出力は量子化器55によって下位ビット数が削減される。信号DACのビット数はVCOの周波数可変範囲を40MHzとした場合、1~0.0Hz以下の分解能を得るために、19ビット以上必要となる。量子化器55によって削減されるビット数は、特に限定されないが、ローパスフィルタ54の低周波抑圧特性によって高周波雑音が抑圧できる能力によって制限される。ここでは、この高周波雑音による周波数のずれが30Hz以下となるように、ローパスフィルタ54の遮断周波数を10kHz、削減するビット数を7ビットとした。また、削減する方法は4捨5入や切り捨てなどの方法があるが、ここではどちらの方法を用いてもよい。

【0041】量子化器55によって下位ビットを削減された信号yとDACとの差分を減算器57によって演算する。減算器57の出力bは量子化器55の量子化誤差である。次に、出力bは減算器59と積分器60と量子化器61にて構成される1次 $\Delta\Sigma$ 型ノイズシェーピング回路に入力される。1次 $\Delta\Sigma$ 型ノイズシェーピング回路の出力eは(18)式である。

※される。1次 $\Delta\Sigma$ 型変調回路の出力eは、第1の量子化器55の出力yを1サンプル周期遅延した信号と加算器58で加算されるので、ビット数低減回路53出力DAは(19)式となる。

Σ オーバーサンプルによるビット数低減回路は、利得設定回路10の出力DACに周期的な変動波形(ディザ)Qnを加算する加算器65、加算器65出力が入力され、予め定められた下位ビットを削減する第1の量子化器55、量子化器55の出力に所定の遅延量を遅延させる遅延器56、上記DACから量子化器55の出力を減算する減算器57、減算器57の出力から第2の量子化器61出力を減算する減算器59、減算器59の出力を積分する第1の積分器60、積分器60の出力から2倍利得器63の出力を減算する減算器64、減算器64の出力を積分する第2の積分器62、積分器62の出力を量子化する第2の量子化器61、量子化器61の出力の

利得を2倍にする利得器63、量子化器61の出力と遅延器56の出力と加算する加算器58から構成される。

【0044】図9のビット数低減回路と同様に、入力信号DACに周期的な変動波形Qnを加算器65によって加算する。加算器65の出力は量子化器55に入力され、下位ビットを削減する。量子化器55によって下位ビットを削減された信号yと入力信号DACとの差分を*

$$e = b z^{-2} + (1 - z^{-1})^2 N q \quad \dots (20)$$

【0045】一方、第1の量子化器55の出力yは遅延器56によって上記サンプル周期の2倍に相当する遅延10遅延した信号と加算器58で加算されるので、ビット数低減回路53出力DAは(21)式となる。

$$\begin{aligned} DA &= y z^{-2} + e \\ &= x z^{-2} + (1 - z^{-1})^2 N q \quad \dots (21) \end{aligned}$$

【0046】2次 $\Delta\Sigma$ 型ノイズシェーピング回路を用いると、(21)式に示すように量子化器61が発生する量子化雑音Nqに対して2次の周波数特性が乗せられた形となるためローパスフィルタ54に必要な低域遮断特性が緩和できる。さらに、ローパスフィルタ54の出力はVCO8の制御信号としてVCO8の周波数制御端子に入力される。VCO8の出力は分岐され、一方は周波数シンセサイザー出力SYNとして出力されるとともに、他方は、プリスケーラ7に入力される。プリスケーラ7は、鋸歯状波回路2から与えられるモジュラス信号MODによって所定の分周数(P又はP+1)の分周を行う。プリスケーラ7の出力は鋸歯状波回路2に入力され、この一連の帰還ループにより周波数シンセサイザーとして所定の発振周波数の発振が可能となる。上記本実施例ではプリスケーラ7が2つの分周数を持つ場合を説明したが、これに限定されず、固定の分周数を持つ場合でも適用可能である。

【0047】図11は、本発明による周波数シンセサイザーの他の実施例の構成を示す図である。図1に示す実施例との違いは図1の鋸歯状波回路2からプリスケーラ7への制御信号がなく、外部から分周数に反比例した数値Bが与えられる第3の鋸歯状波回路13から構成されている点のみで、その他の構成は同一であるので、動作説明は省略する。また、プリスケーラ7は数100MHz以上の信号を発振する場合に必要な回路で、それ以下の場合においては省略することが可能である。

【0048】図12は、本発明による周波数シンセサイザーの更に他の実施例の構成を示すブロック図である。図1の実施例に対して、演算処理が同一となるように差分器3、4と積分器5との位置関係を変更したものである。図1の差分回路3、4と積分器5が削除され、補正器15と差分回路14が追加されている。補正器15は減算器18の出力とデジタルフィルタ6との間に挿入され、差分回路14は減算器18の出力と周波数誤差補正器12との間に挿入される。補正器15は、鋸歯状波回路1と鋸歯状波回路2との位相差により発生する±Mの飛びを補正する機能を持つ。これは、上記Mを2の乗

*減算器57によって演算する。減算器57の出力bは第1の量子化器55の量子化誤差である。次に、出力bは減算器59と第1の積分器60と減算器64と第2の積分器62と第2の量子化器61及び利得器63にて構成される2次 $\Delta\Sigma$ 型ノイズシェーピング回路に入力される。2次 $\Delta\Sigma$ 型ノイズシェーピング回路の出力eは(20)式である。

$$e = b z^{-2} + (1 - z^{-1})^2 N q \quad \dots (20)$$

※路の出力eは、量子化器55の出力yを2サンプル周期遅延した信号と加算器58で加算されるので、ビット数低減回路53出力DAは(21)式となる。

数として選択すれば、オーバーフローを利用することにより簡単に実現できる。

【0049】以上述べてきた周波数シンセサイザーの実施例では、各ブロックを個別に信号処理する例を示したが、実施例に限定されるものではなく、周波数シンセサイザーを構成する、鋸歯状波回路1、鋸歯状波回路2、差分回路3、差分回路4、積分器5、デジタルフィルタ6、利得設定回路10、位相差検出器11、周波数補正器12、鋸歯状波発生回路13、差分回路14、補正器15、取り込み回路19、積算回路20及び制御信号発生器47の一部もしくは全部をDSP(デジタル信号処理装置)のような演算装置を共用化して信号処理を行なう構成にしてもよい。

【0050】図13及び図14はいずれも本発明による初期値を設定できる初期値設定型周波数シンセサイザーの実施例の構成を示すブロック図ある。図13の実施例は前回の周波数シンセサイザーの収束値を記憶する回路を有し、次回の周波数シンセサイザーの発振周波数設定のとき、記憶された上記収束値を初期値として設定する初期値設定型周波数シンセサイザーの構成を示す。初期値設定型周波数シンセサイザーは、図1、図11、又は図12の周波数シンセサイザー50と、分周数Nをアドレスとして周波数シンセサイザー50の収束結果DACを記憶し、上記分周数Nに対応した次回の周波数シンセサイザー50の発振周波数を初期値として出力する記憶回路48から構成される。

【0051】記憶回路48に記憶されている内容は、初期状態としてリセット又は周波数シンセサイザーの発振周波数と全く関係のない数値が保持されているので、電源投入時や長時間経過した場合に自動的に分周数Nの全てのとおりの分周数Nを設定し、それぞれの分周数Nに対する周波数シンセサイザー50の収束結果DACを書き込む動作を行う。VCOの周波数制御信号と発振周波数の関係は、温度変動などのゆっくりした変動が存在するが、上記変動は数時間単位のかなりゆっくりとしたものであるため、ひとたび記憶回路48の内容が定まれば、記憶した数値は次回の周波数シンセサイザー50に

設定する初期値として使用することが可能である。上記初期値は、上記周波数シンセサイザー50のInit端子に入力される。

【0052】図14に示す実施例は、VCOの周波数制御信号と発振周波数の関係を関数として演算する装置を用いた場合の実施例を示す。上記第2の初期値設定型周波数シンセサイザーは、図1、又は図11又は図12の構成を持つ周波数シンセサイザー50と、分周数Nをアドレスとして上記周波数シンセサイザー50の収束結果を示す信号DACを記憶する記憶回路48と、上記分周数Nと上記記憶回路48出力にもとづいて次回の周波数シンセサイザーの発振周波数の初期値を演算する演算装置49から構成される。

【0053】VCOの周波数制御信号に対する発振周波数の線形性が良好な場合、上記VCOの周波数制御信号に対する発振周波数の関数は少なくとも1次関数によって近似することができる。従って、上記記憶回路48の少なくとも2種類の分周数に対する周波数シンセサイザー50の収束値から、上記VCOの周波数制御信号に対する発振周波数の関数の2つのパラメータ（傾きとオフセット値）を演算できる。上記演算を行った演算器出力を次回の周波数シンセサイザー50の発振周波数の初期値として入力端子Initに設定される。ここで、上記VCOの周波数制御信号に対する発振周波数の近似関数は、1次にとらわれることなく、VCOの周波数制御信号に対する発振周波数の線形性の良否に応じて、2次以上の高次近似又は分周数Nに対する発振周波数の相関値を用いる演算方法を用いてもよい。

【0054】図15は、本発明の周波数シンセサイザーを用いた伝送装置の一実施例の構成を示すブロック図である。本伝送装置は、基準信号fr、分周数N、Cont、Gain及びInitが入力され、指定された周波数にて発振する周波数シンセサイザー50と初期値を記憶する記憶回路48と受信変調波と上記周波数シンセサイザー50から供給される信号により受信信号を復調する復調器51と、送信信号に対して上記周波数シンセサイザー50から供給される信号を用いて送信変調波を出力する変調器52から構成される。周波数シンセサイザー50は上記基準信号frと分周数Nからfr×Nの発振周波数を発振する。従って、復調器51と変調器52において、上記fr×Nの発振周波数にもとづいて、変調及び復調が行われる。対向する伝送装置においても同様の構成とすることにより、送信信号及び受信信号のやり取りが可能となる。本実施例は上記周波数シンセサイザー50を用いたひとつの例に過ぎず、例えば、上記周波数シンセサイザー50の発振周波数が変調器52と復調器51にて異なる場合や、時分割的に変調器52と復調器51に供給される信号の発振周波数が変化する例にも適用可能である。また、ContやGainの制御信号は同時に必ずしも必要でなく、それらに対応

した機能を用いる場合に供給されるものである。

【発明の効果】本発明のビット数低減回路を用いれば、11ビットや12ビットの小さいビット長のD/A変換器によって、実質的に19ビットの精度のD/A変換器と同様の動作を行うことが出来、PLL型周波数シンセサイザーの電圧制御発振器の制御部に用いることにより、100Hz以下の高分解能を有する周波数シンセサイザーが実現できる。

【図面の簡単な説明】

【図1】本発明による周波数シンセサイザーの一実施例の構成を示すブロック図

【図2】図1の取り込み回路19の構成を示すブロック図

【図3】図1のは取り込み回路19の動作説明のためのタイミングチャート

【図4】図1の鋸歯状波回路1の出力と鋸歯状波回路2の出力との位相差検出手順を示すタイムチャート

【図5】図1の周波数補正器12の構成を示すブロック図及びその動作を説明するためのタイミングチャート

【図6】図5の比較器26の真理値表を示す図

【図7】図1の利得設定回路10の構成を示すブロック図

【図8】利得設定回路10の動作タイムチャート

【図9】図1のビット数低減回路53の実施例の構成を示すブロック図

【図10】図1のビット数低減回路53の実施例の構成を示すブロック図

【図11】本発明による周波数シンセサイザーの他の実施例の構成を示すブロック図

【図12】本発明による周波数シンセサイザーの更に他の実施例の構成を示すブロック図

【図13】本発明による初期値を設定できる初期値設定型周波数シンセサイザーの1実施例の構成を示すブロック図

【図14】本発明による初期値を設定できる初期値設定型周波数シンセサイザー他の実施例の構成を示すブロック図

【図15】本発明の周波数シンセサイザーを用いた伝送装置の構成図

【符号の説明】

1、2、3…鋸歯状波回路 3、4、14…差分回路

5…積分器 6…デジタルフィルタ

7…プリスケーラ 8…電圧制御発振器(VCO)

9…D/A変換器 10…利得設定回路

11…位相差検出器 12…周波数補正器

21

- 1 5 …補正器
- 1 8 …減算器
- 路
- 2 0 …積算回路
- 発生回路
- 2 2 …フリップフロップ
- 2 4, 2 7 …AND回路
- 2 6 …比較器
- …レジスタ
- 3 0 …加算器
- 3 4 …セレクタ
- 3 5 …利得指定回路
- 回路
- 3 7, 3 8 …乗算器
- 4 0 …加算器
- 4 2 …セレクタ

1 7 …加算器
 1 9 …取り込み回路
 2 1 …タイミング
 2 3 …レジスタ
 2 5 …遅延回路
 2 8, 2 9, 3 1

3 2 …レジスタ
 3 3 …乗算器
 3 6 …補正值記憶

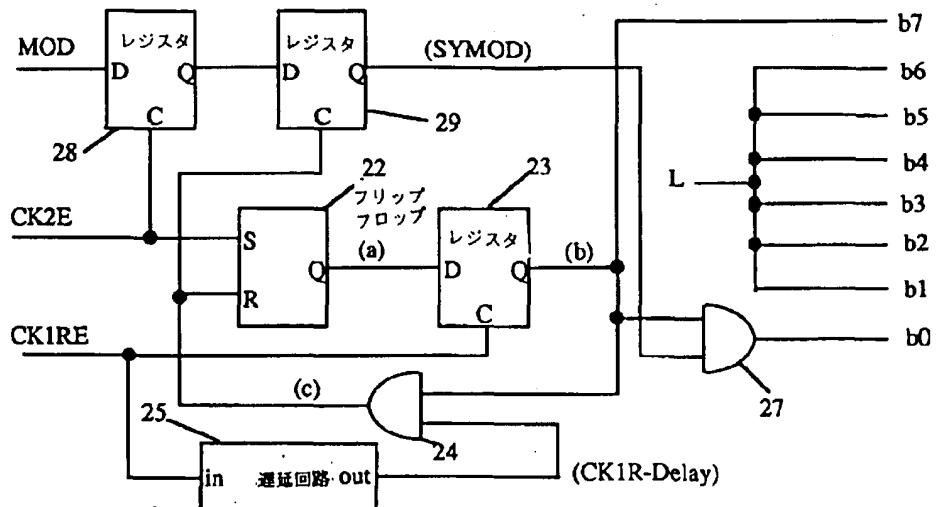
3 9 …乗算器
 4 1 …減算器
 4 3 …OR回路

4 4 …加算器
 4 6 …乗算器
 生器
 4 8 …記憶回路
 5 0 …周波数シンセサイザー
 5 2 …変調器
 減回路、
 5 4 …L P F
 化器
 5 6 …遅延器
 5 8 …加算器
 6 0 …第1の積分器
 化器
 6 2 …第2の積分器
 6 4 …減算器

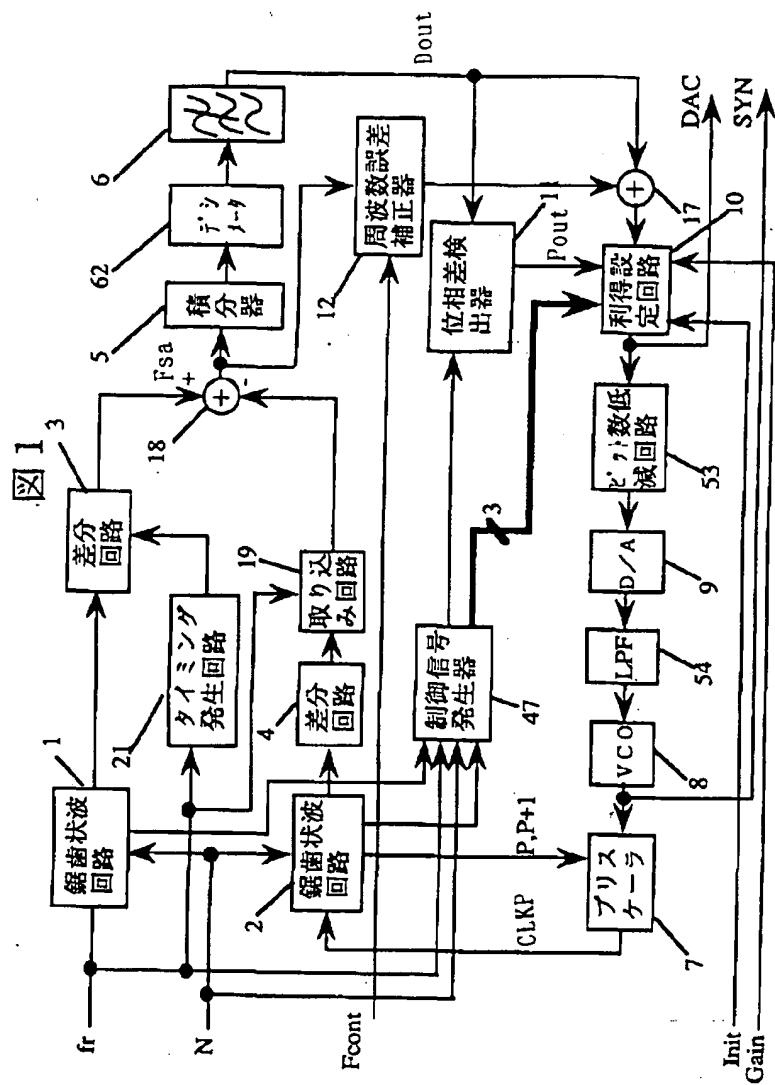
4 5 …レジスタ
 4 7 …制御信号発
 4 9 …演算装置
 5 1 …復調器
 5 3 …ビット数低
 5 5 …第1の量子
 5 7 …減算器
 5 9 …減算器
 6 1 …第2の量子
 6 3 …利得器
 6 5 …加算器

[図2]

2

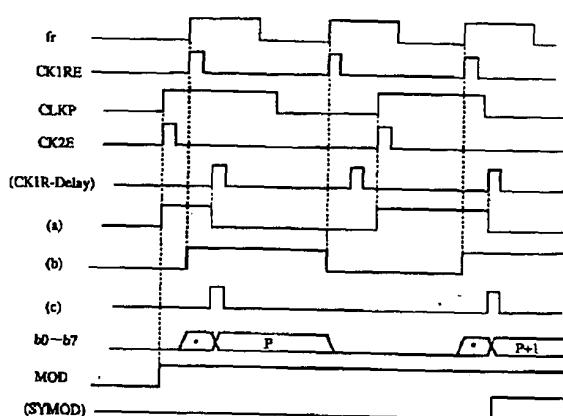


【図1】



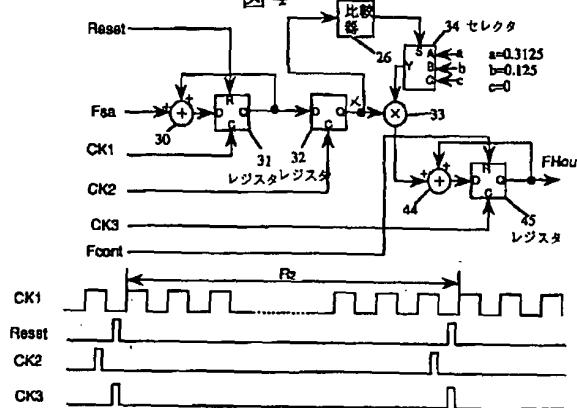
[图3]

☒ 3



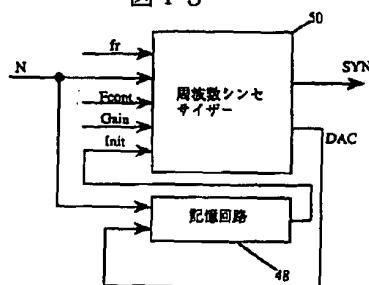
〔图4〕

4



【図13】

13



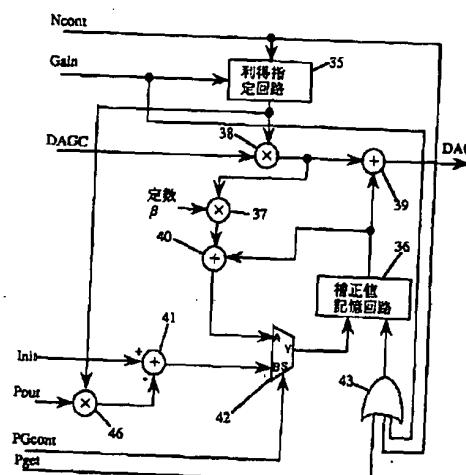
【図5】

5

比較算入力 (上位 8 ビット)												選択される俰数値
19	18	17	16	15	14	13	12	11	10	9	8	
0	0	0	0	1	1	1	1	0	0	0	0	a
0	0	0	0	1	1	1	0	0	0	0	0	a
0	0	0	0	1	1	0	1	0	0	0	0	b
0	0	0	0	1	1	0	0	0	0	0	0	b
0	0	0	0	1	0	1	0	1	0	0	0	c
0	0	0	0	0	0	1	0	1	1	0	0	c
0	0	0	0	0	0	0	1	0	0	1	0	c
0	0	0	0	0	0	0	0	1	0	0	1	c
0	0	0	0	0	0	0	0	0	1	1	1	c
0	0	0	0	0	0	0	0	0	0	1	1	c
0	0	0	0	0	0	0	0	0	0	0	1	c
1	1	1	1	1	1	1	1	1	1	1	1	b
1	1	1	1	1	1	1	1	0	1	1	1	b
1	1	1	1	1	1	1	1	0	0	1	1	b
1	1	1	1	1	1	1	0	0	1	0	1	b
1	1	1	1	1	1	0	1	1	1	0	1	b
1	1	1	1	1	0	1	1	1	1	0	1	b
1	1	1	1	0	1	1	1	1	1	0	1	b
1	1	1	0	1	1	1	1	1	1	0	1	a
1	1	0	1	1	1	1	1	1	1	0	1	a
1	0	1	1	1	1	1	1	1	1	0	1	a
0	1	1	1	1	1	1	1	1	1	0	1	a

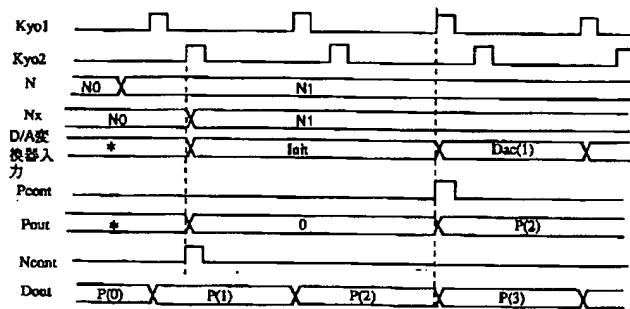
[図7]

圖 7



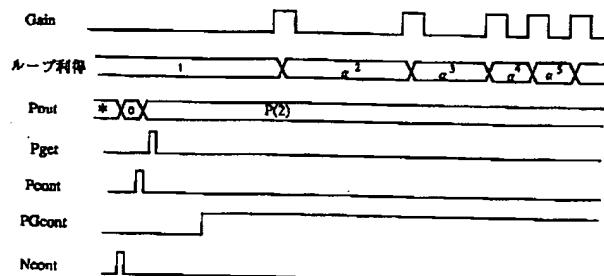
【図6】

図6



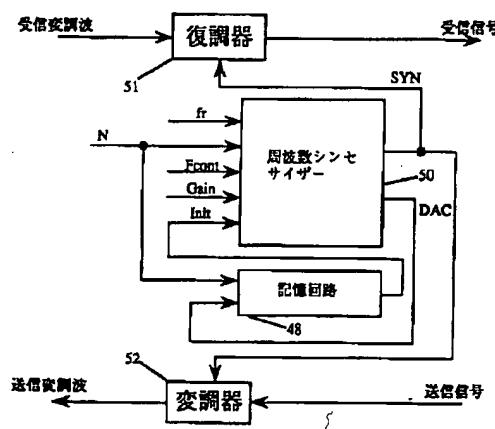
【図8】

図8



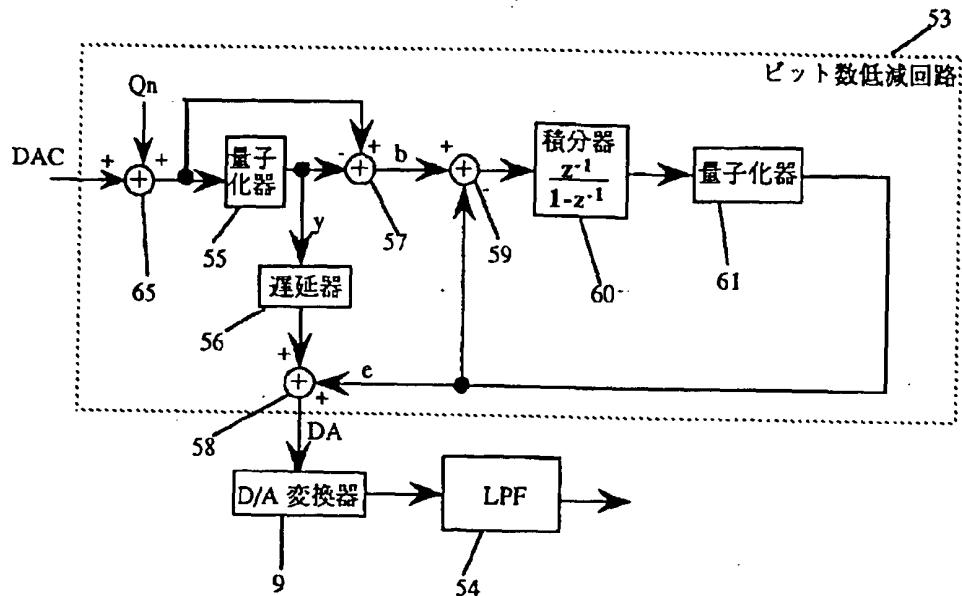
【図15】

図15



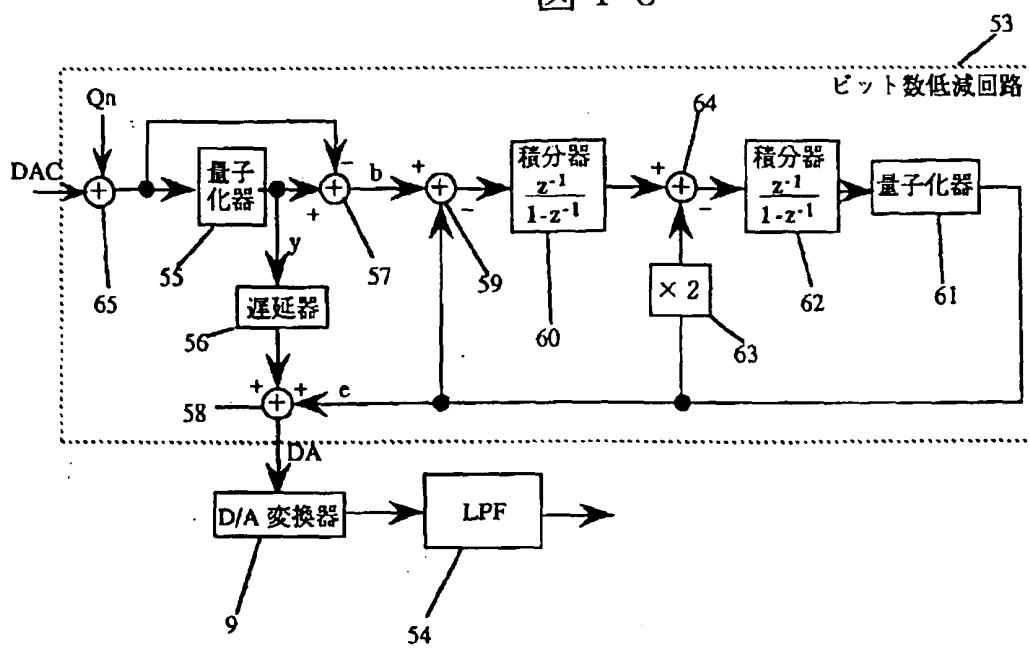
[図9]

図9



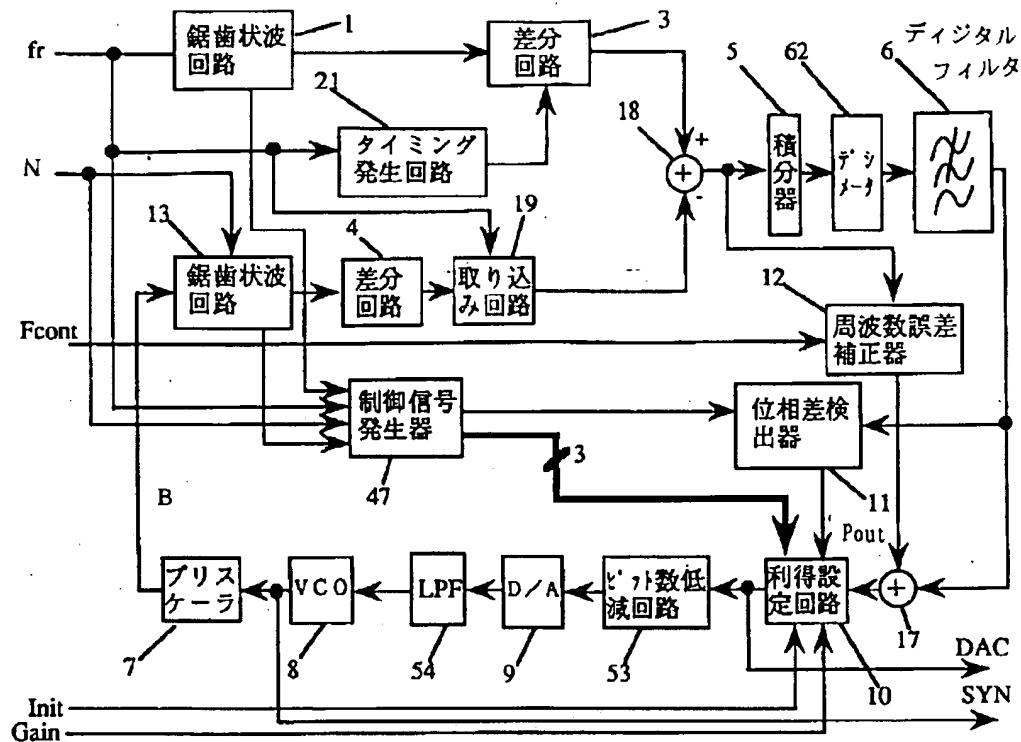
[図10]

図10



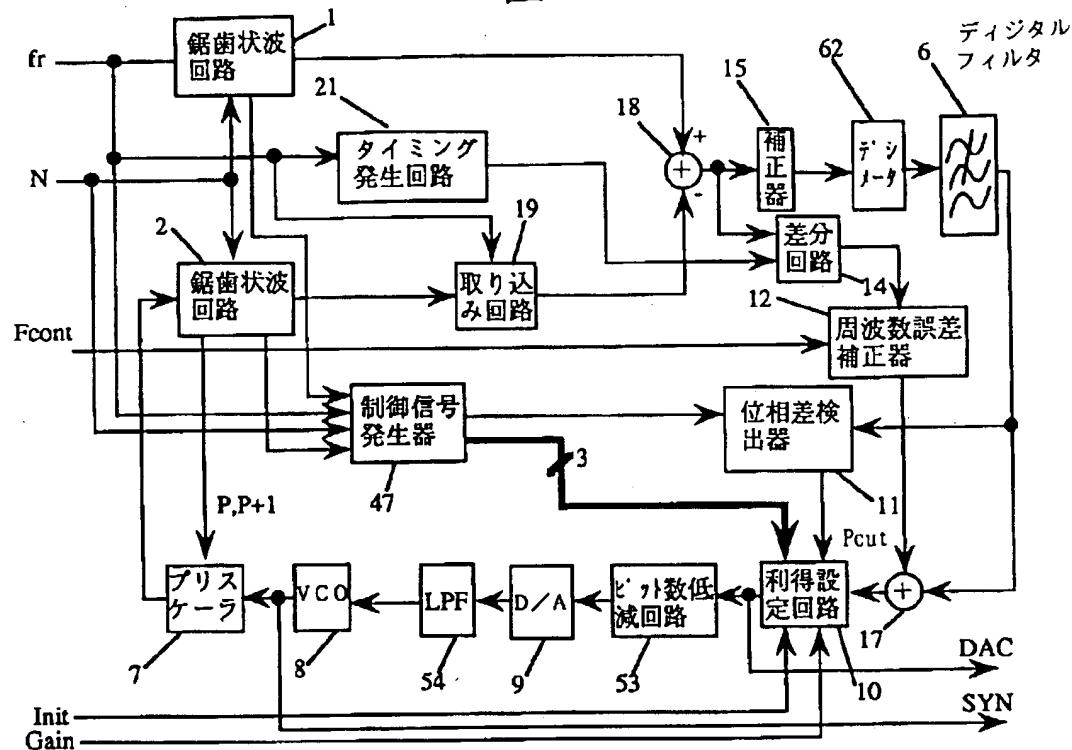
【図11】

図11



【図12】

図 12



【図14】

